

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-152244

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.⁵

H 0 3 B 5/32

識別記号

庁内整理番号

D 8321-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-301211

(22)出願日 平成4年(1992)11月11日

(71)出願人 000116839

旭化成マイクロシステム株式会社
東京都渋谷区代々木1丁目24番10号

(72)発明者 原 進

神奈川県厚木市栄町1丁目1番3号 旭化
成マイクロシステム株式会社内

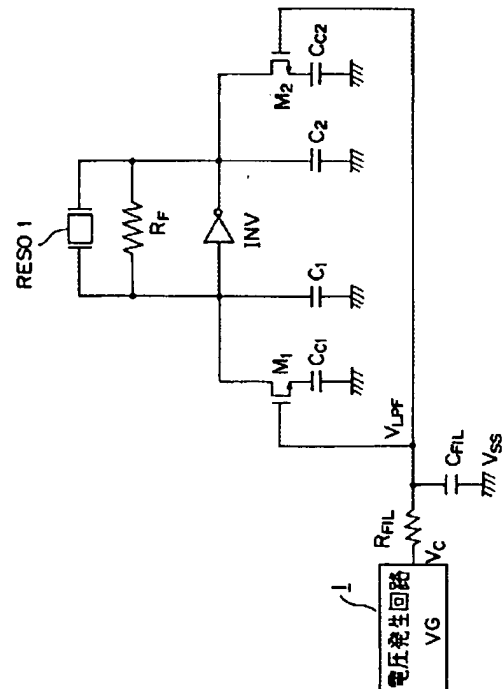
(74)代理人 弁理士 渡辺 一雄

(54)【発明の名称】 圧電発振回路

(57)【要約】

【目的】消費電流を不必要に増加させることなく、発振立ち上がり時間を短縮する圧電発振回路を提供する。

【構成】圧電素子RESO1とMOSトランジスタM₁、M₂および容量Cc₁、Cc₂からなる可変容量と、容量C₁、C₂を帰還回路に有する反転増幅部INVによって構成される圧電発振回路において、発振立ち上げ時に前記可変負荷容量を変化させる制御回路1を有する。



1

【特許請求の範囲】

【請求項1】 圧電振動子と可変負荷容量とを帰還回路に有する反転増幅部によって構成される圧電発振回路において、
発振立ち上げ時に前記可変負荷容量を変化させる制御回路を具えたことを特徴とする圧電発振回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、水晶等の圧電振動子を用いる圧電発振回路に関するものである。

【0002】

【従来の技術】従来から、各種装置内の基準クロック源として圧電発振回路は幅広く用いられている。特に、MOSトランジスタを用いた発振回路としては図4に示すような水晶やセラミックを用いた発振回路が知られている。バイアス源 I_{BIAS} とMOSトランジスタ M_1 により反転増幅器 INV を構成し、容量 C_1 、 C_2 は発振の安定及び発振周波数の微調整に用いられる。バイアス源 I_{BIAS} は発振の維持に必要な最低値が存在する。従って、携帯機器のような低消費電力が望まれる分野では、上記のような最低値とすることが望ましい。

【0003】

【発明が解決しようとする課題】しかしながら、上記のバイアス源 I_{BIAS} の値は発振開始時の発振立ち上がり時間にも影響することが知られており、一般にバイアス源 I_{BIAS} の値が大きい方が立ち上がり時間は短い。従って、発振時間が規定されている応用分野では、発振維持に必要な値以上の I_{BIAS} 値が用いられている。このとき、発振立ち上がり時のみにバイアス源 I_{BIAS} の値を増加するように構成することも考えられるが、MOSトランジスタ M_1 に流す電流には限度がある上に、電流の増加に比べて、その効果は不十分であった。

【0004】以上の点に鑑み、本発明は消費電流を不必要に増加させることなく、発振立ち上がり時間を短縮する圧電発振回路を提供することを課題とする。

【0005】

【課題を解決する為の手段】以上の課題を解決するために、本発明は、圧電振動子と可変負荷容量とを帰還回路に有する反転増幅部によって構成される圧電発振回路において、発振立ち上げ時に前記可変負荷容量を変化させる制御回路を具えたことを特徴とするものである。

【0006】

【作用】本発明によれば、発振立ち上がり時には、立ち上がり時間を最小となるような負荷容量にして発振を開始し、順次負荷容量を変化させて定常状態時に望まれる容量値とすることにより、少ない電流値で、発振立ち上がり時間を最小としつつ、定常状態時に最適な容量値にすることができる。

【0007】

【実施例】以下、本発明を図面に基づいて詳細に説明す

2

る。図1は本発明の圧電発振回路の実施例を示す図であり、図において $RESO1$ は水晶発振子等の圧電素子、 R_F 、 R_{FIL} は抵抗素子、 INV は反転増幅器、 C_1 、 C_2 、 C_{C1} 、 C_{C2} 、 C_{FIL} は容量、 M_1 、 M_2 はN型MOSトランジスタである。

【0008】容量 C_{C1} 、 C_{C2} とN型MOSトランジスタ M_1 、 M_2 とで可変容量が構成され、この可変容量と容量 C_1 、 C_2 と圧電素子 $RESO1$ とが反転増幅器 INV の帰還回路となっている。また、制御回路1は、抵抗素子 R_{FIL} と容量 C_{FIL} とでローパスフィルタが構成され、電圧発生回路 VG からの電圧 V_C が入力され、電圧 V_{LPF} を発生させる。

【0009】図2は電圧 V_C と電圧 V_{LPF} の時間変化を示す図である。図において、電圧 V_C は、時間 t_{st} までは基準電圧 V_{ss} (=0)であり、発振立ち上げ時間 t_{st} から基準電圧 V_{REF} に変化する。電圧 V_{LPF} は、時間 t_{st} までは基準電圧 V_{ss} (=0)であり、発振立ち上げ時間 t_{st} から徐々に上昇し、基準電圧 V_{REF} に漸近する。

【0010】発振を開始する際には、発振立ち上げ時間 t_{st} に基準電圧 V_{REF} を印加する。発振立ち上げ時間 t_{st} まではN型MOSトランジスタ M_1 、 M_2 はオフしているから発振回路の帰還回路には容量 C_{C1} 、 C_{C2} は存在しない。容量 C_1 、 C_2 は発振回路の立ち上がり時間が最短となるように選択されており、発振は速やかに開始される。発振立ち上げ時間 t_{st} から時間が経過するにつれて、N型MOSトランジスタ M_1 、 M_2 のゲート電圧は電圧 V_C と一致していき、帰還回路の負荷は、定常状態に望まれる値となる。

【0011】本実施例によれば、 R_F を $1M\Omega$ 、 C_1 、 C_2 を $4pF$ 、 C_{C1} 、 C_{C2} を $30pF$ 、 V_{REF} を $2V$ 、ローパスフィルタの時定数を $500\mu s$ としたとき、定常状態の負荷容量である $C_1 + C_{C1}$ (= $34pF$)、 $C_2 + C_{C2}$ (= $34pF$)のときに比べ約 $1/5$ の立ち上がり時間で発振を開始することができた。図3は、本発明の他の実施例を示す図である。図において、可変容量は、例えば、2進の重み付けがなされた複数の容量 $C_0 \sim C_{N-1}$ と、スイッチとして動作するNMOSトランジスタ $M_0 \sim M_{N-1}$ とにより構成され、各NMOSトランジスタ $M_0 \sim M_{N-1}$ がオンすることにより、容量 $C_0 \sim C_{N-1}$ の他端が接地され、容量が変化するものである。可変容量値は容量制御回路であるカウンタ3のデジタル出力 $D_0 \sim D_{N-1}$ により制御される。また、カウンタ3は発振クロックを増幅器2によって、増幅された信号が入力される。

【0012】本実施例は以下のように動作する。すなわち、発振立ち上げ開始と同時にカウンタ3がリセットされ、カウンタ3はカウントアップする。カウンタのデジタル出力 $D_0 \sim D_{N-1}$ は、各NMOSトランジスタ $M_0 \sim M_{N-1}$ に入力され、それぞれのトランジスタに接続された容量 $C_0 \sim C_{N-1}$ を接地させ、反転増幅器 INV

に接続された容量値を変化させる。発振立ち上げ開始時には、反転増幅器 INV には容量 C_1 、 C_2 のみが接続されており、容量 C_1 、 C_2 は発振回路の立ち上がり時間が最短となるように選択されており、発振は速やかに開始される。希望の時間内にカウンタ3はカウントアップを終了し、可変負荷容量は設定された定常負荷容量となる。

【0013】

【発明の効果】以上のように、本発明によれば、圧電発振回路の帰還負荷容量の一部を発振立ち上げ時に立ち上がり時間が最短となるように制御することにより、発振立ち上がり時間を短縮することができると共に、定常時には安定発振に最適な容量とすることができる。

【図面の簡単な説明】

【図1】本発明の圧電発振回路の実施例を示す図である。

【図2】本発明における制御電圧の時間推移を示す図で

ある。

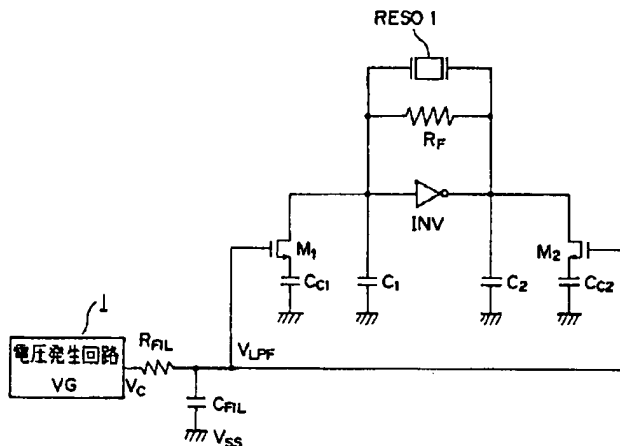
【図3】本発明の他の実施例を示す図である。

【図4】従来の圧電発振回路を示す図である。

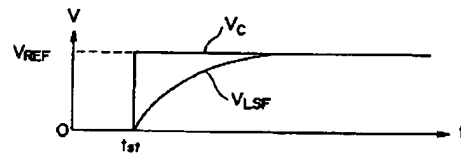
【符号の説明】

- 1.....制御回路
- RESO1.....圧電素子
- INV.....反転増幅器
- R_F 、 R_{FIL}抵抗素子
- C_1 、 C_2 、 C_{C1} 、 C_{C2} 、 C_{FIL}容量
- 10 M_1 、 M_2N型MOSトランジスタ
- 2.....増幅器
- 3.....カウンタ
- $C_0 \sim C_{N-1}$容量
- $M_0 \sim M_{N-1}$N型MOSトランジスタ

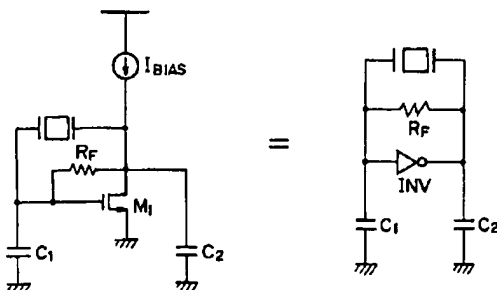
【図1】



【図2】



【図4】



【図3】

